

SVEUČILIŠTE U ZAGREBU
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

DIPLOMSKI RAD br. 4

**CMOS KAMERA VISOKE
RAZLUČIVOSTI**

Tomislav Jerković

Zagreb, lipanj 2010.

Ovaj diplomski rad izrađen je na Zavodu za elektroničke sustave i obradbu informacija pod stručnim vodstvom mentora prof. dr. sc. Vedrana Bilasa, kojemu se zahvaljujem na pomoći i savjetima.

Zahvaljujem se kolegici Vani Jeličić, dipl. ing., na savjetima i pomoći koju mi je pružila tijekom rada u laboratoriju.

Zahvaljujem se svojim roditeljima koji su mi velika podrška u svemu.

SADRŽAJ

1. UVOD	4
2. IZVEDBE CMOS KAMERE POMOĆU RAZLIČITIH SKLOPOVSKIH PLATFORMI	5
2.1 Izvedba CMOS kamere korištenjem DSP procesora	5
2.1.1 <i>Blackfin</i> DSP	6
2.1.2 <i>TI</i> DSP	6
2.2 Izvedba CMOS kamere korištenjem FPGA sklopa	8
3. OPTIČKO OSJETILO	9
4. SKLOPOVSKA IZVEDBA SUSTAVA ZA PRIKUPLJANJE SLIKE	12
5. PROGRAMSKA PODRŠKA ZA PRIKUPLJANJE SLIKE	16
5.1 Programska podrška – ZigBit modul (Programski jezik C)	16
5.2 Programska podrška – FPGA (Programski jezik VHDL)	19
5.3 Opis komunikacije između ZigBit-a i FPGA pločice	22
6. POBOLJŠANA PROGRAMSKA PODRŠKA – FPGA (Programski jezik VHDL)	24
6.1 PROGRAMSKA PODRŠKA ZA UPRAVLJANJE FLASH MEMORIJOM	24
6.2 ISPITIVANJE MODULA ZA UPRAVLJANJE FLASH MEMORIJOM	29
6.3 INTEGRACIJA U SUSTAV I ISPITIVANJE	31
7. MJERENJE POTROŠNJE	35
8. ZAKLJUČAK	38
9. LITERATURA	39
10. SAŽETAK	40
11. PRILOG A: Upute za prikupljanje slike komprimirane slike	41

1. UVOD

Bežična mreža osjetila je prostorno raspodijeljen sustav inteligentnih uređaja koji su međusobno povezani bežičnom komunikacijskom mrežom. Razvoj bežičnih mreža osjetila otkrio je mnoge mogućnosti njihove primjene u drugim oblicima ljudskih djelatnosti kao što su poljoprivreda, građevina, nadzor okoliša itd.

Poseban izazov u razvoju bežičnih mreža osjetila predstavljaju bežične multimedijske mreže osjetila koje iz okoliša prenose slike, video ili zvuk. U današnje vrijeme znatan je broj različitih sklopovskih platformi pomoću kojih se može realizirati CMOS kamera za prikupljanje i prijenos slike u sustavu bežičnih mreža osjetila. Odabir odgovarajuće platforme ovisi o zahtjevima koje CMOS kamera mora zadovoljiti u uvjetima u kojima se koristi.

Najčešći zahtjevi koje CMOS kamera mora zadovoljiti da bi se mogla efektivno koristiti u bežičnim mrežama osjetila su zahtjevi na potrošnju energije, pouzdanost rada u različitim okruženjima te dimenzije. Prethodno navedene činjenice predstavljaju izazov prilikom dizajna i razvijanja programske podrške koja će omogućiti prikupljanje i prijenos slike.

U nastavku diplomskog rada biti će dan pregled najčešće korištenih sklopovskih platformi pomoću kojih se realizira CMOS kamera. Predstavljeno je CMOS optičko osjetilo visoke razlučivosti proizvođača Micron koje se koristi za prikupljanje slike. Također, prikazan i opisan je modul za prikupljanje slike za kojeg je izvedena i testirana poboljšana programska podrška u ovom diplomskom radu.

2. IZVEDBE CMOS KAMERE POMOĆU RAZLIČITIH SKLOPOVSKIH PLATFORMI

CMOS kamere u sustavima bežičnih osjetilnih mreža najčešće se koriste za inteligentno nadgledanje (detekciju uljeza, gibanje objekta ...), detekciju lica, prepoznavanje gesti, proučavanju okoliša... U ovom poglavlju biti će opisane izvedbe CMOS kamere pomoću različitih sklopovskih platformi.

2.1 Izvedba CMOS kamere korištenjem DSP procesora

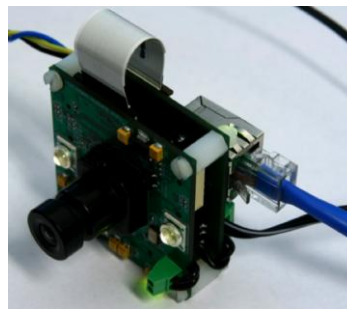
CMOS kamera koja je realizirana korištenjem DSP (*digital signal processor*)(Wark, 2008.) procesora, u ovom poglavlju biti će opisana za dva različita DSP procesora. Cijela CMOS kamera sastoji se od dva modula. Na prvom modulu se nalazi CMOS osjetilo, dok se na drugom modulu nalazi DSP procesor.

CMOS osjetilo koje se koristi u ovoj izvedbi je OV7640 proizvođača *OmniVision Technologies Inc*, VGA razlučivosti. Podešavanje parametara osjetila ostvaruje se preko serijske I²C sabirnice.

Modul sa DSP procesorom izveden je u dvije verzije tj. sa dva različita DSP procesora. DSP procesori koji se koriste za realizaciju CMOS kamere su *Blackfin* ADSP-BF537 i *TI* TMS320F2812 (*Texas Instruments*). Također, valja spomenuti da je CMOS kamera, koja je izvedena korištenjem DSP procesora i opisana u ovom poglavlju, spojena na bežični osjetilni čvor FleckTM-3 (Wark, 2008.).

2.1.1 *Blackfin* DSP

Prva verzija modula sa DSP procesorom koristi ADSP-BF537 *Blackfin* procesor proizvođača *Analog – Devices* (Slika 1). *Blackfin* procesor radi na frekvenciji takta od 600 MHz i pripada 32-bitnoj RISC porodici procesora. Modul osim DSP procesora sadrži 32 MB SDRAM memorije i 4 MB FLASH memorije koji služi sa pohranu i obradbu slike.



Slika 1. Izvedba CMOS kamere sa *Blackfin* DSP procesorom i Fleck-3 pločicom (Wark, 2008.)

Prijenos slike između modula CMOS kamere i Fleck-3 pločice ostvaren je preko SPI protokola. Programska podrška koja služi za prikupljanje i obradbu slike razvijena je pomoću programskog alata *Analog Devices Visual DSP++*. Energija koja je potrebna da se prikupi slika pomoću prethodno opisane sklopovske platforme iznosi 35 mJ (1056 mW x 33 ms).

2.1.2 *TI* DSP

Druga verzija modula sa DSP procesorom (Slika 2) koristi TMS320F2812 procesor proizvođača *Texas Instruments (TI)* čija je frekvencija takta 150MHz i koji ima programsku FLASH memoriju od 128 KB. DSP procesor je 32-bitni te kao takav omogućuje generiranje velikog broja adresa potrebnih za obradbu slike. Modul osim DSP procesora sadrži 1MB SRAM memorije koja služi za pohranu slike.



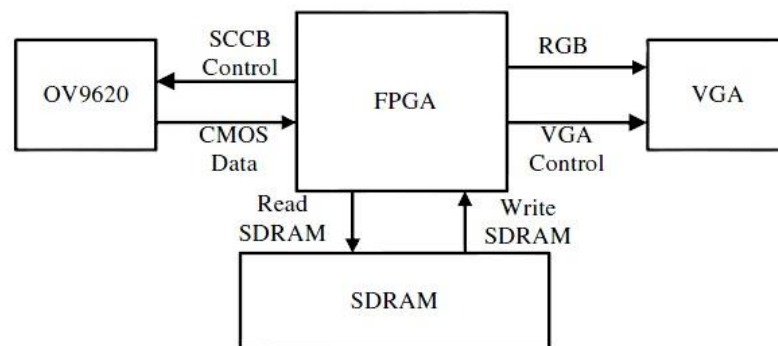
Slika 2 Izvedba CMOS kamere sa *TI* DSP procesorom i Fleck-3 pločicom (Wark, 2008.)

Za razliku od *Blackfin* DSP procesora, komunikacija između *TI* DSP procesora i Fleck-3 pločice je naprednija. Prijenos slike ide preko serijskog SPI prijenosa dok upravljanje radom DSP procesora (isključivanje/uključivanje, prekidi, zahtjev za slikom) je izvedeno dodatnim signalima. Programska podrška koja služi za prikupljanje i prijenos slike razvijena je pomoću programskog alata *Code Composer Studio*. Energija koja je potrebna da se prikupi slika pomoću prethodno opisane sklopovske platforme iznosi 20 mJ (667 mW x 30 ms).

Korištenje DSP procesora za prikupljanje slike pruža mnoge mogućnosti, a neke od njih su: brži razvoj i testiranje programske podrške za konfiguriranje optičkog osjetila i prikupljanje slike, jednostavno implementacija programske podrške za obradbu podataka zbog svoje arhitekture.

2.2 Izvedba CMOS kamere korištenjem FPGA sklopa

Izvedba CMOS kamera korištenjem FPGA (Li, 2009.) omogućuje vrlo brzo prikupljanje i obradbu slike u stvarnom vremenu (*real time*). Sustav za prikupljanje slike prikazan na Slika 3 sadrži: 1,3 Mpix CMOS osjetilo OV9620 SXGA razlučivosti proizvođača *OmniVision Technologies Inc.*, FPGA sklop serije Cyclon proizvođača *Altera Company*, SDRAM memoriju i VGA monitor.



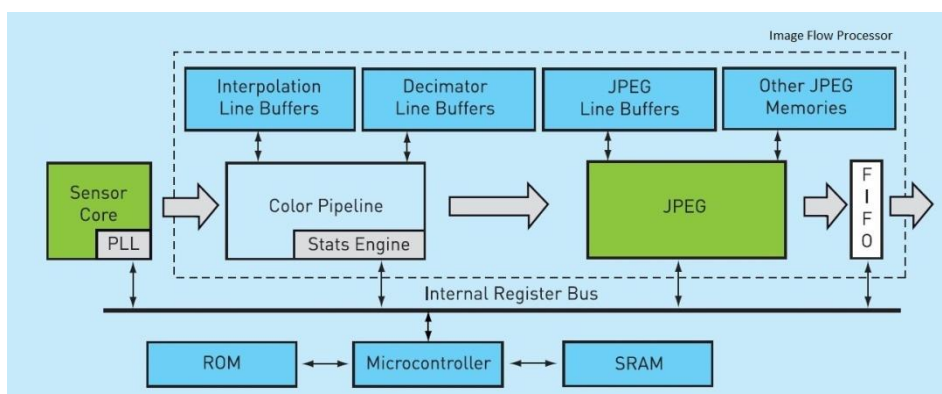
Slika 3 Blokovski prikaz sustava za prikupljanje slike korištenjem FPGA sklopa

CMOS osjetilo OV9620 konfigurira se preko FPGA sklopa nakon čega se prikuplja slika i pohranjuje u SDRAM memoriju. Prikupljanje i pohrana slike je kontrolirana od strane FPGA sklopa. Nakon pohrane slike u SDRAM memoriju slijedi prikazivanje slike na VGA monitoru.

Korištenje FPGA sklopa za realizaciju CMOS kamere omogućuje mnogo bolju kontrolu nad pojedinim signalima prilikom prikupljanja slike. Na taj način može se postići vrlo brza pohrana slike u memoriju. Razvoj i testiranje programske podrške za upravljanje i prikupljanje slike kod FPGA sklopa zahtjeva više vremena nego za razvijanje programske podrške kod korištenja DSP procesora. Prednost FPGA sklopa u odnosu na DSP je jednostavna promjena konfiguracije i proširenja funkcionalnosti. Također, valja spomenuti da FPGA sklop karakterizira manja potrošnja u odnosu na DSP.

3. OPTIČKO OSJETILO

Za dobivanje slike koristi se UXGA MT9D131 2 Mpix CMOS (Micron, 2007.) optičko osjetilo proizvođača Micron. Osjetilo sadrži integrirani sustav za obradbu slike. Sustav se sastoji od same jezgre za dobivanje slike, mikrokontrolera (MCU) i sofisticiranog procesora za obradbu slike (IFP-*Image flow processor*) koji sadrži JPEG enkoder. Blokovski prikaz sustava može se vidjeti na Slika 4.

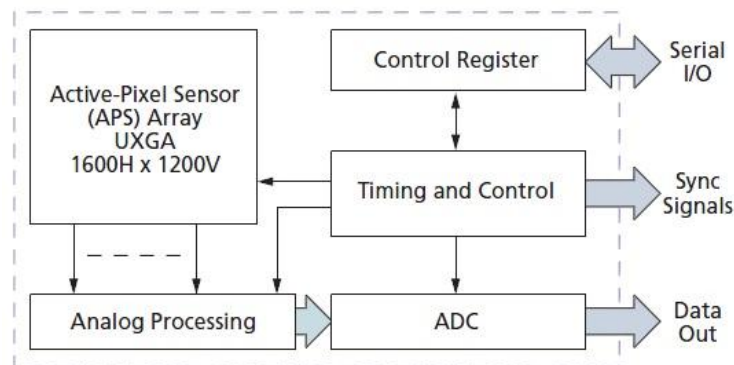


Slika 4. Blokovski prikaz 2Mpix CMOS osjetila (Micron, 2007.)

Mikrokontroler upravlja sa svim komponentama sustava i postavlja ključne parametre jezgre osjetila radi postizanja što kvalitetnije „sirove“ slike koja ulazi u IFP procesor. Također, mikrokontroler upravlja sa IFP procesorom kojeg ovisno o potrebama može isključiti ili konfigurirati prema određenim zahtjevima. Cijelo osjetilo izvedeno je kao SOC (*system on a chip*) sa vrlo malom potrošnjom.

IFP procesor sastoji se od dijela za obradbu slike koji je izveden kao protočna struktura (*Color pipeline*) i JPEG enkodera. Također, unutar IFP procesora nalaze se i odgovarajući spremnici (*buffer*) koji služe za privremenu pohranu slike tijekom obradbe.

Jezgra optičkog osjetila je glavni dio sustava za dobivanje slike. Sastoji se od aktivnog polja piksela dimenzija 1688x1248 (UXGA razlučivost) piksela, kontrolnih registara, sklopovlja za analognu obradbu podataka, sklopovlja za upravljanje jezgrom, te analogno-digitalnih pretvornika kao što je prikazano na Slika 5.



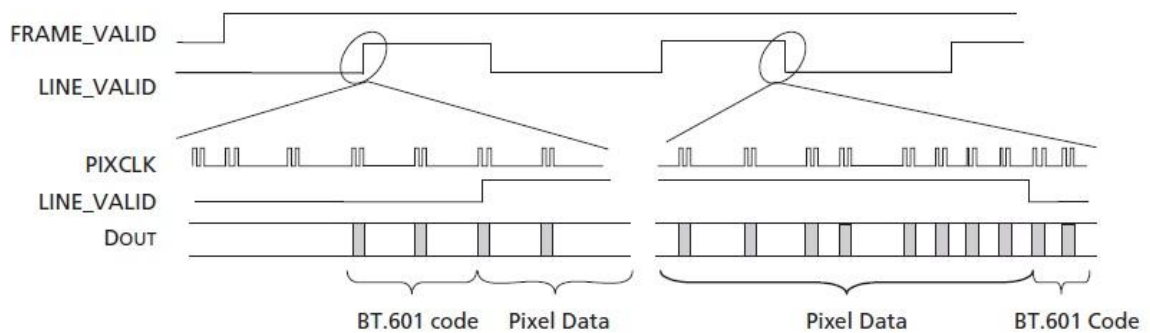
Slika 5. Blok dijagram jezgre osjetila (Micron, 2007.)

Sklopovlje za upravljanje jezgrom omogućuje upravljanje čitanjem pojedinog piksela u svakom retku aktivnog polja piksela, te generira odgovarajuće signale (LINE_VALID, FRAME_VALID, PIXCLK) koji su potrebni za pravilnu akviziciju slike. Kada se pročitaju analogne vrijednosti piksela za odgovarajući redak, oni se proslijede u blok za analognu obradbu (*analog processing*) gdje se radi potrebna prilagodba signala prije analogno-digitalne pretvorbe. Izlaz iz AD pretvornika je 10-bitna vrijednost koja opisuje pojedini piksel. Za potrebe ovog projekta koristi se 8-bitna vrijednost koja se dobije zanemarivanjem dva najznačajnija bita na izlazu iz AD pretvornika.

Upravljanje jezgrom osjetila izvodi se upisom odgovarajućih 16 bitnih vrijednosti u kontrolne registre. Pristup kontrolnim registrima izvodi se serijskom (I²C) komunikacijom.

Da bi se mogao dizajnirati sustav za akviziciju slike treba poznavati kojim redoslijedom podaci izlaze iz osjetila te koji se kontrolni signali generiraju prilikom pravilnog dobivanja slike iz osjetila u odgovarajućem načinu rada. Kontrolni signali su LINE_VALID, FRAME_VALID i PIXCLK, te ovisno o njihovim razinama može se pravilno napraviti akvizicija slike.

Podaci koji izlaze iz jezgre osjetila sinkronizirani su sa signalom PIXCLK. Kada je vrijednost signala LINE_VALID postavljena u visoko stanje, na izlazu iz jezgre osjetila postavlja se 10-bitna, odnosno, 8-bitna vrijednost piksela na svaki period signala PIXCLK. LINE_VALID signal pokazuje koji je redak aktivnog polja piksela aktivan tj. pokazuje redak u slici na svaki rastući brid. Signal FRAME_VALID određuje scenu, tj. početak nove slike kada se radi s nekomprimiranom slikom. Primjer razina pojedinih signala za vrijeme kada se dobiva slika bez korištenja IFP procesora može se vidjeti na Slika 6.

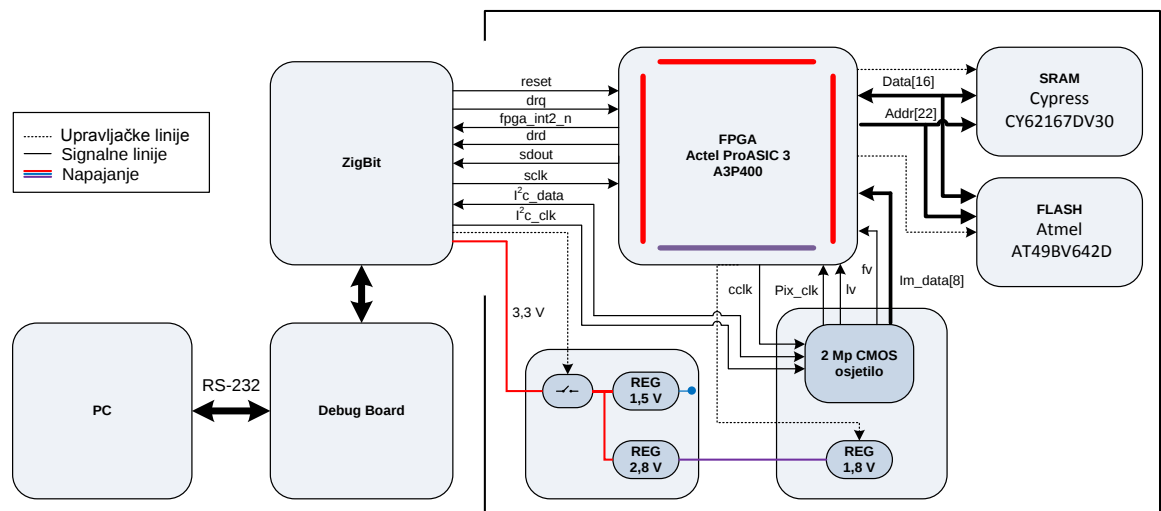


Slika 6. Prikaz kontrolnih signala CMOS osjetila (Micron, 2007.)

Frekvencija signala PIXCLK jednaka je frekvenciji sustava u standardnom načinu rada. Ako se koristi PLL sklopovlje onda se može postići puna viša frekvencije od frekvencije koja se koristi u sustavu (6 - 64 MHz) što omogućuje brže dobivanje slike.

4. SKLOPOVSKA IZVEDBA SUSTAVA ZA PRIKUPLJANJE SLIKE

Blokovski prikaz modula za prikupljanje slike može se vidjeti na Slika 7. Modul se sastoji od tri dijela: od pločice sa FPGA sklopom, pločice sa 2 Mpix CMOS optičkim osjetilom te ZigBit pločice. Na Slika 7 može se još primijetiti Debug pločica koja služi za programiranje ZigBit modula, koji se nalazi na ZigBit pločici, i serijski prijenos slike na računalo.



Slika 7. Blokovski prikaz modula za prikupljanje slike

Pločica sa FPGA sklopom, koja služi za prikupljanje slike, sastoji se od:

- FPGA integriranog sklopa Actel ProASIC 3 A3P 400 te popratnih sklopova potrebnih za rad,
- Tri modula radne memorije Cypress CY62167DV30 pojedinačnog kapaciteta 16 Mbit-a,
- Jednog modula FLASH memorije Atmel AT49BV642D kapaciteta 64 Mbit-a,
- JTAG sučelja za programiranje FPGA sklopa,
- Sučelja prema optičkom osjetilu,
- Sučelja prema ZigBit-u,
- Sklopovlja za napajanje.

Za prikupljanje slike koristi se Actel ProASIC 3 A3P 400 sklop. To je FPGA sklop s integriranom FLASH konfiguracijskom memorijom i sljedećim karakteristikama:

- Efektivno 400 000 logičkih vrata,
- Integrirani RAM 54 kbit,
- Integrirani Flash ROM 1 kbit,
- Integrirani PLL sklop
- 151 ulazno-izlazni izvod raspoređen u 4 odjeljka,
- Najveća podržana brzina rada 350 MHz.

Napon napajanja jezgre iznosi 1,5 V. Ulazno-izlazni odjeljci 0 i 1 se koriste za rad s memorijama, odjeljak 2 za komunikaciju s kamerom, a odjeljak 3 za komunikaciju sa ZigBit pločicom. Napon napajanja odjeljaka 0, 1 i 3 iznosi 3,3 V, a napon napajanja odjeljka 2 iznosi 2,8 V. Konfiguracija ćelija FPGA sklopa upisuje se putem standardnog JTAG sučelja.

Kao radna memorija koriste se tri integrirana SRAM sklopa Cypress CY62167DV30 pojedinačnog kapaciteta 16 Mbit-a. Svaki od njih ima 16-bitnu podatkovnu sabirnicu i 20-bitnu adresnu sabirnicu. Mijenjanjem stanja upravljačkih izvoda BHE, BLE i BYTE sklopovi se mogu konfigurirati da se ponašaju kao 16-bitne ili kao 8-bitne memorije. Za pohranu podataka u periodima u kojima je napajanje modula za obradbu slike isključeno koristi se FLASH memorijski sklop Atmel AT49BV642D kapaciteta 64 Mbit-a. Taj sklop ima 16-bitnu podatkovnu i 22-bitnu adresnu sabirnicu. Može raditi isključivo kao 16-bitna memorija. S memorijskim sklopovima može se komunicirati isključivo putem FPGA sklopa.

Adresni i podatkovni izvodi memorijskih sklopova priključeni su zajedno na adresnu i podatkovnu sabirnicu, a upravljački izvodi svakog pojedinog memorijskog sklopa priključeni su izravno na FPGA sklop. Takvim priključivanjem memorija omogućeno je čitanje iz pojedinog memorijskog sklopa, pisanje u pojedini memorijski sklop te izravno kopiranje podataka iz jednog memorijskog sklopa u drugi.

ZigBit pločica sastoji se od:

- Sučelja prema FPGA sklopu,
- Sučelja prema Debug pločici,
- Sklopovlja za napajanje,
- Sklopovlja za resetiranje FPGA sklopa,
- ZigBit modula (Atmel ATmega1281 i komunikacijski sklop AT86RF230).

Glavni element ZigBit pločice je ZigBit modul koji, osim što služi za bežični prijenos podataka preko ZigBee protokola, služi i za konfiguriranja optičkog osjetila preko I²C sabirnice te prijenos slike iz SRAM, odnosno, FLASH memorije na računalo. Također, generira upravljačke signale za pravilan rad FPGA sklopa. Debug pločica sadrži sklop koji omogućuje serijski prijenos slike na računalo te odgovarajući broj svjetlećih dioda i sklopki za jednostavno testiranje odgovarajuće programske podrške. Zbog jednostavnosti opisa programske podrške, pojam ZigBit odnosit će se na modul Zigbit koji se nalazi na ZigBit pločici.

Pločica s 2 Mpix CMOS optičkim osjetilom sastoji se od:

- MT9D131 2Mpix osjetila proizvođača Micron (Aptina),
- Sučelja prema FPGA sklopu,
- Sklopovlja za napajanje.

UXGA 2Mpix CMOS osjetilo koristi napon napajanja jezgre 1,8 V, dok je napajanje ulazno-izlaznih priključaka 2,8 V. Napon napajanja dovodi se sa pločice sa FPGA sklopom koja služi za prikupljanje slike, a za napajanje jezgre koristi se integrirani linearni stabilizator (1,8 V).

Pločica s optičkim osjetilom povezana je s pločicom za prikupljanje slike preko odgovarajućeg priključka i pripadnog kabela. Na tom priključku nalaze se četiri kategorije izvoda:

- izvodi napajanja,
- paralelna podatkovna sabirnica
- serijska I²C sabirnica za konfiguraciju osjetila,
- upravljački izvodi.

Paralelna podatkovna sabirnica sastoji se od osam podatkovnih izvoda DOUT[0..7], signala takta PIXCLK kojim osjetilo signalizira prisutnost novog podatka na sabirnici te dva sinkronizacijska izvoda FV (*frame valid*) i LV (*line valid*). Serijska sabirnica za konfiguraciju parametara osjetila sadrži izvode SCLK (*I²C clock*), SDATA (*I²C data*) te izvod SADDR kojim se određuje logička adresa osjetila na I²C sabirnici.

5. PROGRAMSKA PODRŠKA ZA PRIKUPLJANJE SLIKE

Programska podrška za prikupljanje slike sastoji se od dva dijela. Prvi dio programske podrške odnosi se na ZigBit modul na ZigBit pločici. Programska podrška pisana je u programskom jeziku C, te služi za konfiguraciju 2Mpix CMOS optičkog osjetila, upravljanjem prikupljanja slike u FPGA sklopu i prijenosom slike na ZigBit modul, odnosno, na računalo.

Drugi dio programske podrške pisan je u programskom jeziku VHDL i odnosi se na prikupljanje i pohranu slike u memoriju. U nastavku rada biti će detaljnije opisana pojedina programska podrška.

5.1 Programska podrška – ZigBit modul (programski jezik C)

Programska podrška implementirana na ZigBit modulu pisana je u programskom jeziku C i koristi programski stog BitCloud. BitCloud je programska realizacija ZigBee protokola od tvrtke Atmel.

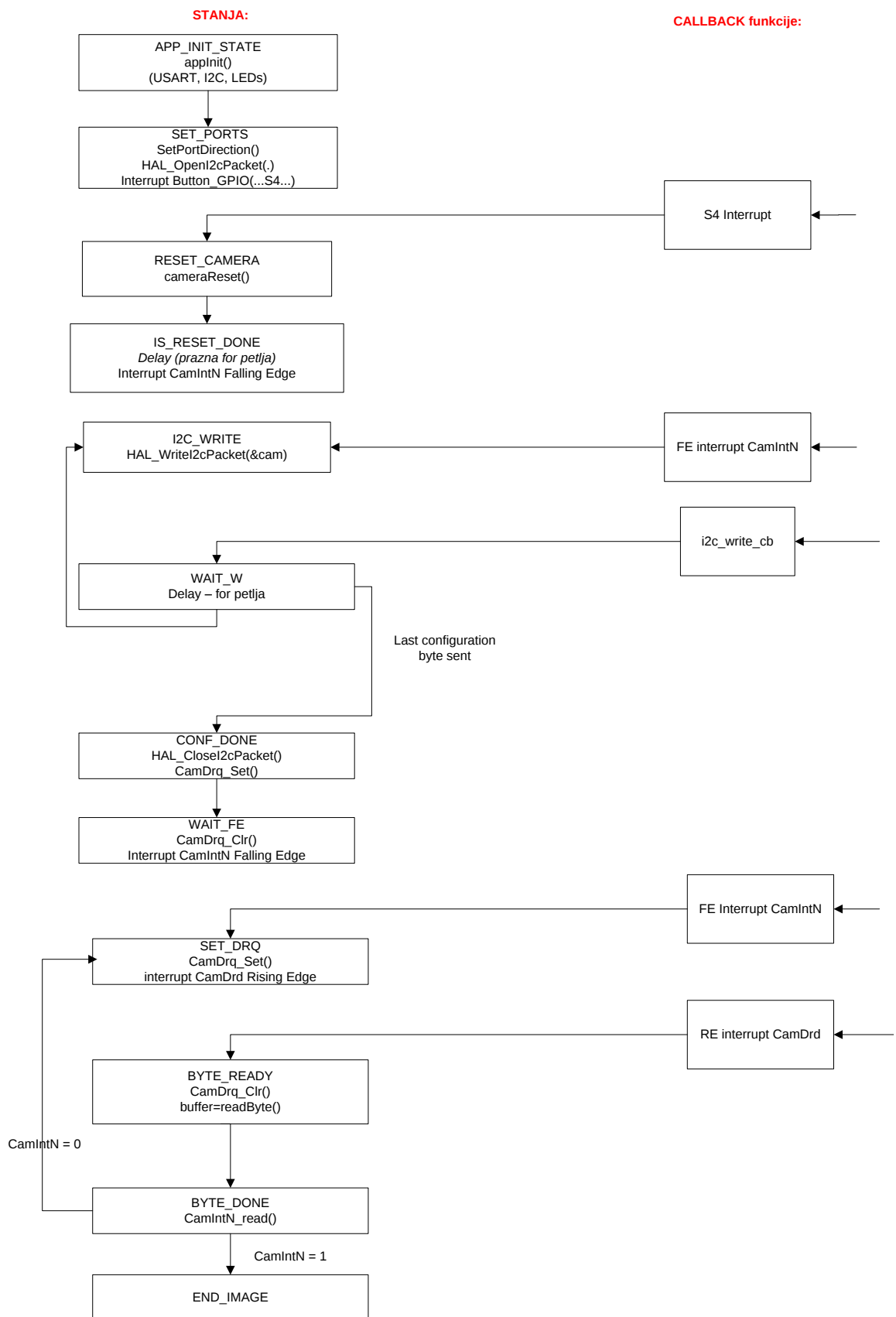
Aplikacijsko programsko sučelje (API) programskog stoga BitCloud (Atmel, 2009.) izvedeno je koristeći događajima upravljani programski model (engl. *event driven programming*). To znači da se programski kod nakon početka izvođenja (ulazna točka) ne izvodi slijedno liniju po liniju uz povremena grananja. Kod događajima upravljaniog modela, i dalje postoji ulazna točka od koje program započinje s izvršavanjem. Nakon početka, program ulazi u beskonačnu petlju i u njoj ostaje do završetka programa. Iterativno prolazeći kroz beskonačnu petlju program čeka da se dogodi neki „događaj“ (engl. *event*).

Kod ugradbenih računalnih sustava tipični događaj je zahtjev za prekid kojeg postavlja neki periferni sklop ili vanjski uređaj, FPGA sklop u ovom slučaju, kao rezultat dovršetka neke operacije (npr. dovršenje čitanja sa memorije) ili kao rezultat vanjskog podražaja (promjena stanja na ulaznoj GPIO liniji). Svakom događaju pridružena je funkcija u kojoj se događaj obrađuje (engl. *event handler*). Ova funkcija poziva se

automatski kad se u glavnoj petlji detektira pojava događaja. Nakon obrade događaja, glavna petlja nastavlja s izvođenjem.

Callback funkcija se realizira tako da se funkciji koja postavlja zahtjev za opsluživanjem kao argument proslijedi pokazivač koji pokazuje na mjesto u memoriji gdje se nalazi *callback* funkcija. Taj pokazivač se proslijeđuje kroz sve funkcije koje funkcija-zahtjev poziva, sve do mjesta gdje se odvija konkretna radnja (npr. fizičko pisanje na sabirnicu). Dovršetak radnje (npr. dovršetak pisanja na sabirnicu) će izazvati poziv *callback* funkcije. Bitno je primijetiti da *callback* funkciju poziva sloj koji je obradio zahtjev (obično sloj niske razine) pa se nakon izvršenja *callback* funkcije kontrola vraća sloju pozivatelju *callback* – sloju niske razine.

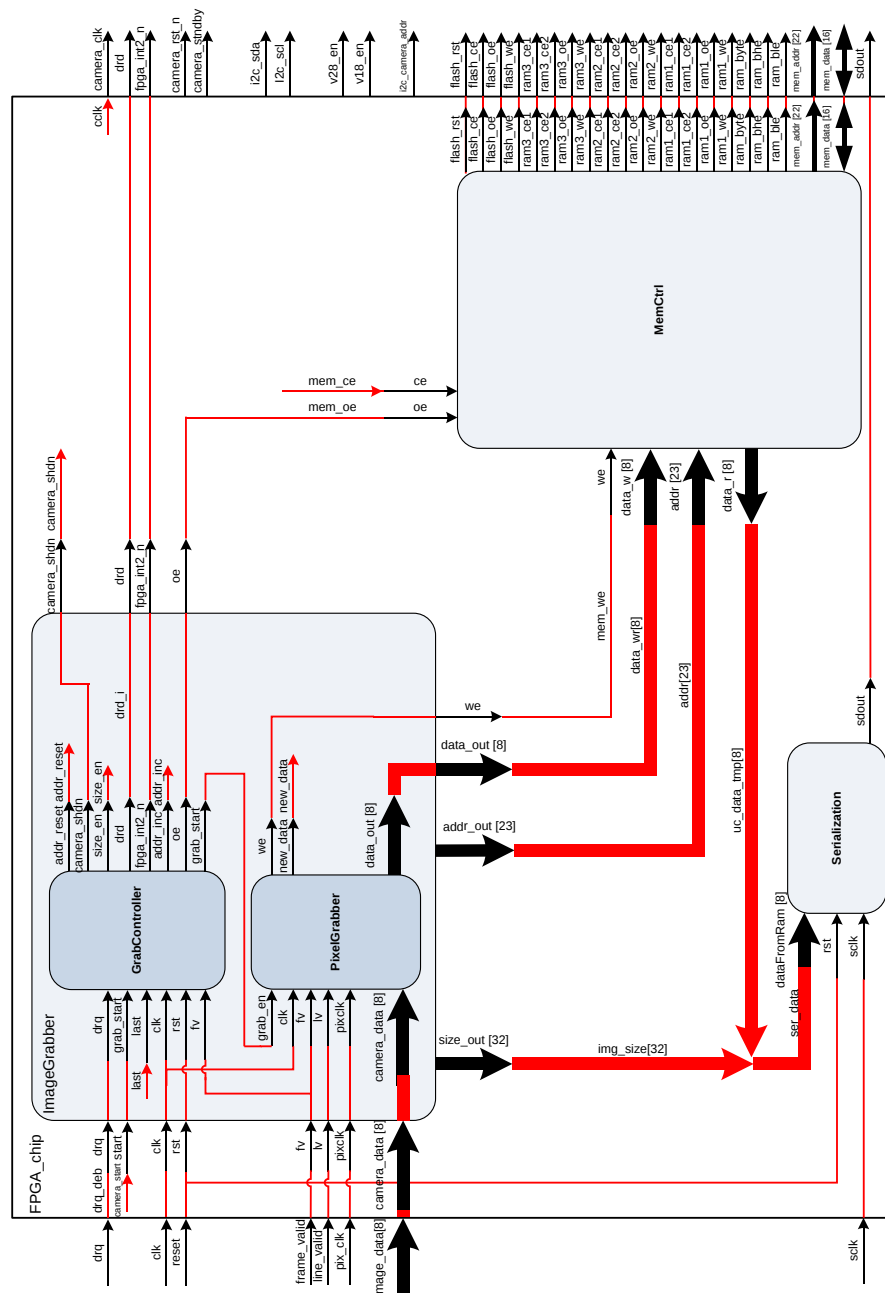
Blok dijagram programske podrške ZigBit može se vidjeti na Slika 8. Na lijevoj strani blok dijagrama prikazana su stanja i navedene pojedine funkcije koje se izvršavaju prilikom poziva određene *callback* funkcije prikazane na desnoj strani blok dijagrama. Callback funkcije pozivaju se prilikom pritiska na tipku S4 na Debug pločici (kada započinje cijeli proces prikupljanja), korištenjem I²C komunikacije prilikom konfiguriranja te postavljanjem/spuštanjem signala prilikom prijenosa slike na ZigBit modul, odnosno, na računalo.



Slika 8. Blokovski prikaz programske podrške u ZigBit modulu

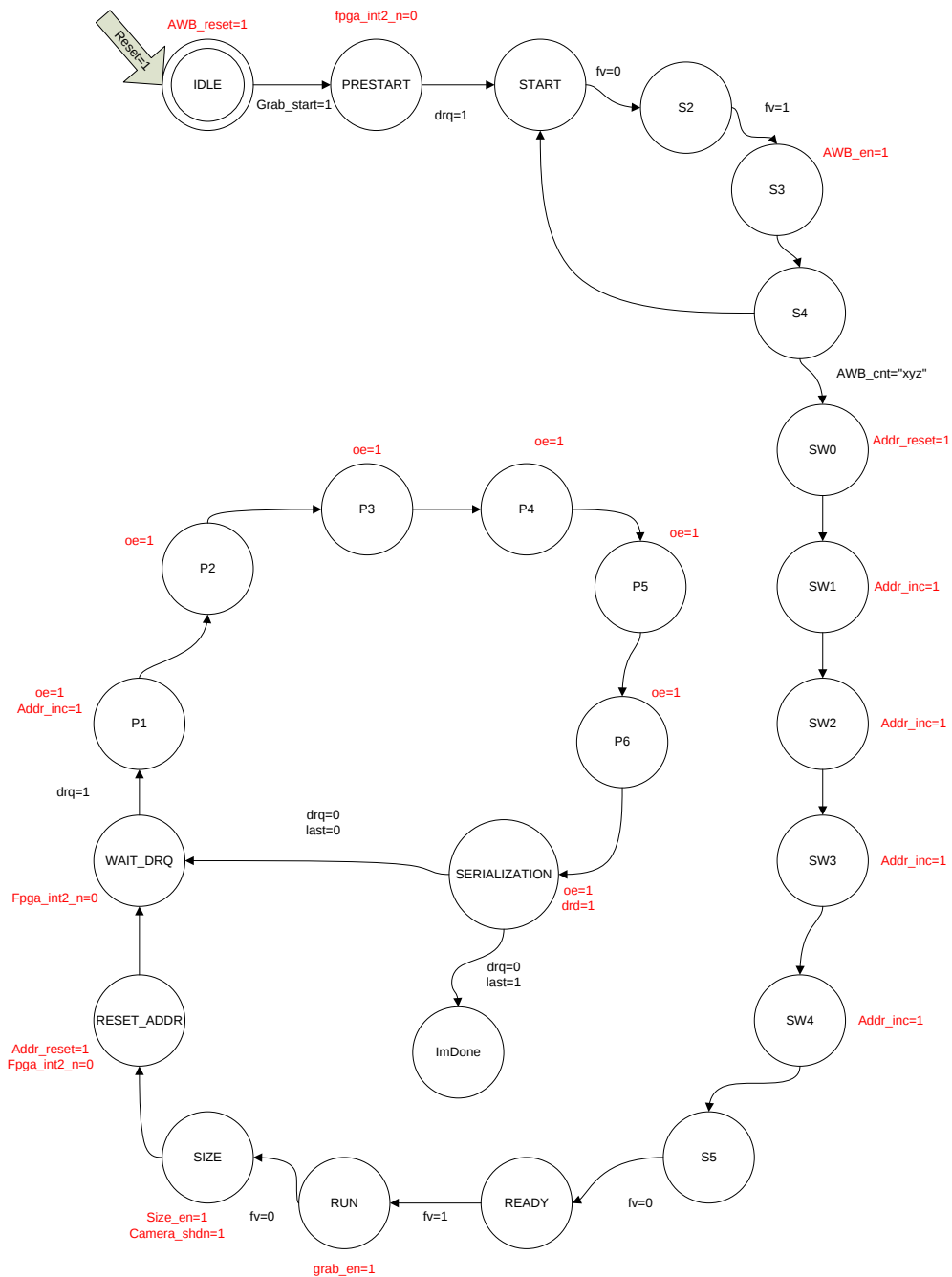
5.2 Programska podrška - FPGA (programski jezik VHDL)

Programska podrška implementirana u FPGA sklopu služi za prikupljanje i pohranu slike u SRAM memoriju . Blokovski prikaz sustava za prikupljanje slike može se vidjeti na Slika 9. Također, na Slika 9 može se primijetiti da se sustav sastoji od više funkcijskih modula koji služe za prikupljanje slike.



Slika 9. Blokovski sustav sustava za prikupljanje slike

Moduli od kojih se sastoji sustav za prikupljanje slike su: *ImageGrabber*, *Serialization* i *MemCtrl*. *Fpga_chip* povezuje sve navedene module međusobno i sa vanjskim komponentama. Za pravilno upravljanje vanjskom SRAM memorijom koristi se modul *MemCtrl*. Njegova glavna uloga je generiranje kontrolnih signala za odgovarajući modul SRAM memorije u ovisnosti o adresi na koju se želi pohraniti ili sa koje se želi pročitati podatak.

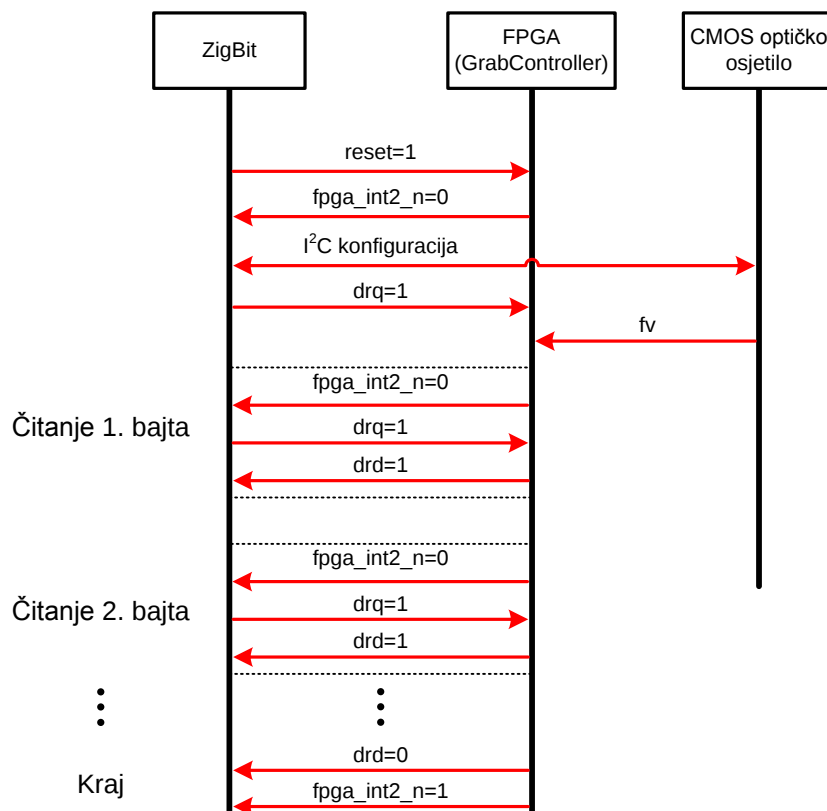


Slika 10. Dijagram stanja GrabController-a

Modul *Serialization* služi za serijski prijenos podatka koji se pročita iz radne memorije. *ImageGrabber* je središnji dio sustava. Služi za pravilno generiranje adresa za pohranu slike te se sastoji od dva modula: *GrabController* i *PixelGrabber*. Modul *GrabController* je realiziran kao automat sa konačnim brojem stanja (Slika 10) i služi za upravljanje svim modulima. *PixelGrabber* služi za pravilno skupljanje slike u ovisnosti o signalima *frame valid*, *line valid* i *pixel clock* koje generira optičko osjetilo.

5.3 Opis komunikacije između ZigBit-a i FPGA pločice

Komunikacija između ZigBit-a i FPGA sklopa prikazana je na Slika 11. Može se vidjeti da kontrolu nad FPGA sklopom i CMOS optičkim osjetilom ima ZigBit preko odgovarajućih upravljačkih signala. Svi izlazni signali iz FPGA sklopa koji se koriste za komunikaciju sa ZigBit-om generiraju se u modulu GrabController, koji je prikazan u prethodnom poglavlju.

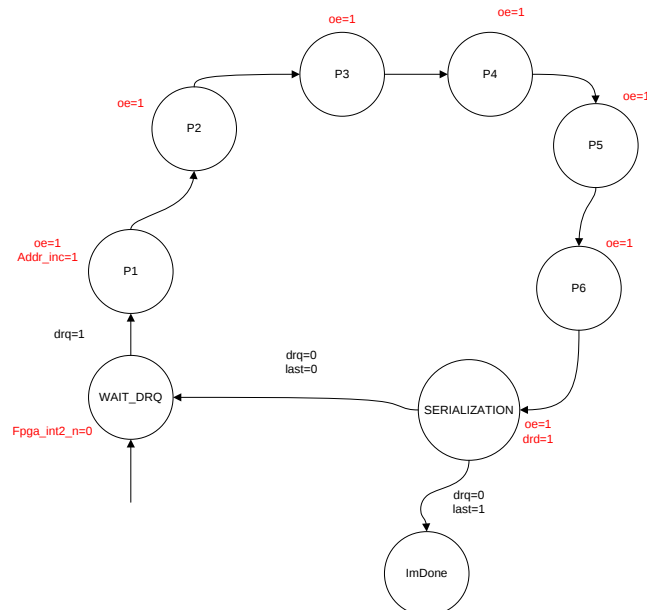


Slika 11. Blokovski prikaz komunikacije između ZigBit-a i FPGA sklopa

Skupljanje slike započinje kada ZigBit postavi signal `reset`. Nakon reseta, u FPGA sklopu se postavljaju odgovarajući signali koji uključe napajanje CMOS optičkom osjetilu i pripreme ga za konfiguraciju od strane ZigBit-a. Nakon što FPGA pripremi CMOS osjetilo za konfiguraciju, spusti signal `fpga_int2_n` koji daje znak ZigBit-u da može započeti konfiguraciju. Svako spuštanje ili podizanje signala od strane FPGA sklopa generira prekid na ZigBit-u (pozivanje *callback* funkcije opisane u prethodnom poglavlju).

Nakon što ZigBit završi konfiguraciju CMOS optičkog osjetila, postavlja signal `drq`. Postavljanjem signala `drq` započinje kontrolirano prikupljanje slike od strane GrabController modula implementiranog u FPGA sklopu. Signal `fv`, koji ulazi u FPGA sklop iz CMOS optičkog osjetila, daje informaciju o trenutno snimanoj sceni i na taj način omogućuje pravilno prikupljanje slike. Nakon što je slika prikupljena ona se nalazi pohranjena u SRAM memoriji od četvrte memorijske lokacije. Na prve četiri lokacije spremljena je informacija o veličini slike (u bajtovima).

Da bi započeo prijenos slike iz SRAM memorije na ZigBit, odnosno na računalo, FPGA sklop ponovno spušta signal `fpga_int2_n` koji signalizira ZigBit-u da slijedi prijenos slike. ZigBit postavlja signal `drq` kojim daje informaciju FPGA sklopu da može krenuti čitanje bajta iz SRAM memorije. Nakon što je bajt pročitao, FPGA sklop postavlja signal `drd` i prosljeđuje pročitani bajt u modul *Serialization* koji omogućuje serijski prijenos bajta prema ZigBit-u. Kada Zigbit primi željeni bajt provjerava stanje signala `fpga_int2_n` o kojem ovisi je li prenesena cijela slika iz SRAM memorije. Ako nije prenesena cijela slika ponovno se postavljaju prethodno navedeni signali. Čitanje slike iz SRAM memorije i njezin prijenos preko modula *Serializaton* kontrolirano je u modulu GrabController (Slika 12).



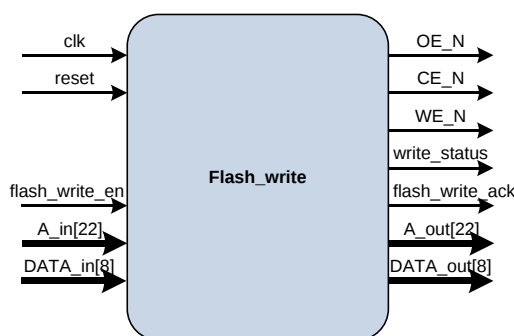
Slika 12. Dio GrabController automata koji se odnosi na čitanje radne memorije i prijenos prema ZigBit-u

6. POBOLJŠANA PROGRAMSKA PODRŠKA – FPGA (Programski jezik VHDL)

Programska podrška opisana u poglavlju 5.2 ostvaruje pravilno prikupljanje slike i njezin prijenos iz SRAM memorije preko ZigBit modula na računalo ali ne iskorištava sve resurse koji postoje na FPGA pločici. FPGA pločica, kako je navedeno u poglavlju 4, osim tri modula SRAM memorije sadrži i FLASH memoriju koja nije korištena u prethodno opisanoj programskoj podršci. Programska podrška razvijena je korištenjem Actelovog programskog paketa Libero IDE v8.6, a simulacija je provedena programskim alatom ModelSim Actel Edition Mentor Graphicsa koji je integriran u okruženje Libera.

6.1 PROGRAMSKA PODRŠKA ZA UPRAVLJANJE FLASH MEMORIJOM

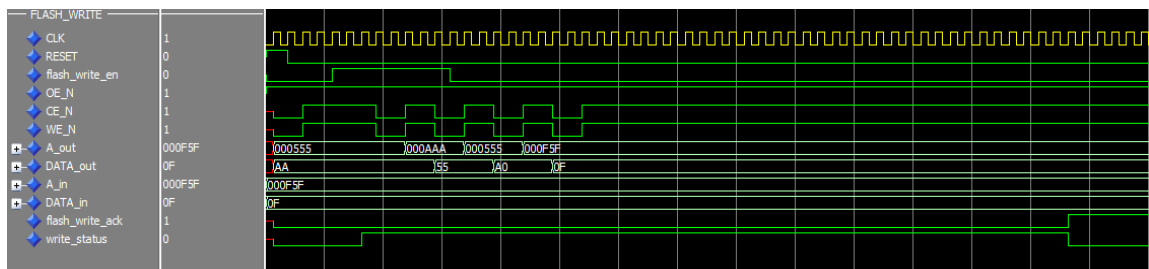
Da bi se iskoristila FLASH memorija koja se nalazi na FPGA pločici, u sklopu ovog diplomskog rada osmišljeni su, izvedeni i funkcijski ispitani moduli za upravljanje sa FLASH memorijom. Moduli *Flash_write* i *Flash_erase* realizirani su prema tehničkoj dokumentaciji (Atmel 49BV642D, 2006.) proizvođača. Prethodno navedeni moduli nalaze se unutar *MemCtrl* modula te po potrebi imaju kontrolu nad FLASH memorijom.



Slika 13. Blok shema modula *Flash_write*

Flash_write modul (Slika 13) realiziran je kao Mooreov automat sa konačnim brojem stanja. Njegova uloga je generiranje komandne sekvence prije upisa podatka na

određenu adresnu lokaciju. Komandna sekvenca sastoji se od 4 ciklusa u kojima se definiranim slijedom upisuju posebni kodovi na točno definirane lokacije.

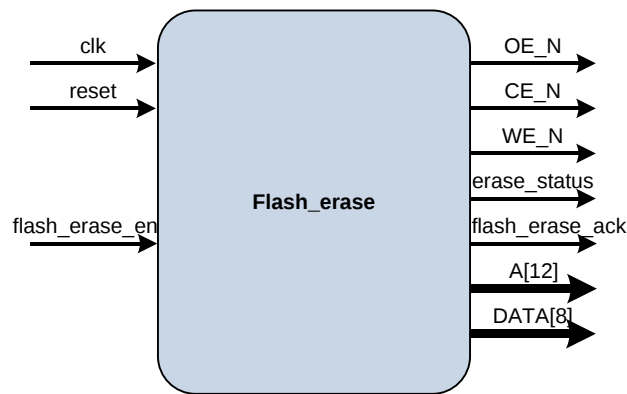


Slika 14. Funkcijska simulacija *Flash_write* modula

Slika 14 pokazuje funkcijsku simulaciju signala koji se generiraju prilikom rada *Flash_write* modula. Signali koji ulaze u modul su: signal za resetiranje modula `reset`, signal takta `clk`, 22-bitna adresa `A_in` na koju će se pohraniti 8-bitni ulazni podatak `DATA_in` i signal `flash_write_en` koji omogućuje početak generiranja komandne sekvence, odnosno, početak upisa u FLASH memoriju.

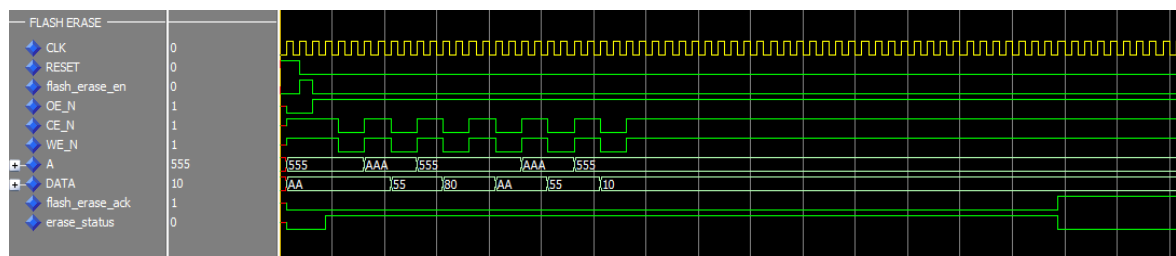
Signali koji izlaze iz *Flash_write* modula su: 22-bitna adresna sabirnica `A_out` koja preuzima kontrolu nad adresnom sabirnicom `mem_addr` kada je aktivan signal `write_status`, 8-bitna podatkovna sabirnica `DATA_out`, signal `OE_N` koji je u ovom slučaju stalno u visokom stanju, signali `CE_N` i `WE_N`, te signal `flash_write_ack` koji se postavlja kada se upiše podatak na memorijsku lokaciju, odnosno, kada završi komandna sekvenca.

U tehničkoj dokumentaciji (Atmel 49BV642D, 2006.) Atmelove FLASH memorije AT49BV642D navedeno je da se adresa na koju se želi zapisati podatak dohvaća sa adresne sabirnice `A_out` na padajući brid signala `WE_N` ili `CE_N` (ovisi koji se prvi pojavi). Podatak se sa podatkovne sabirnice `DATA_out` dohvaća na rastući brid `WE_N` ili `CE_N`. Također, specificirana su karakteristična vremena s minimalnim iznosima koje se prilikom dizajna moraju poštovati.



Slika 15. Blok shema modula *Flash_erase*

Flash_erase modul (Slika 15) realiziran je kao Mooreov automat sa konačnim brojem stanja. Njegova uloga je generiranje komandne sekvence koja služi za brisanje cijele FLASH memorije. Također, ovaj modul se može koristiti za brisanje pojedinih sektora memorije. Komandna sekvenca u ovom slučaju sastoji se od 6 ciklusa u kojima se definiranim slijedom upisuju posebni kodovi na točno definirane lokacije.



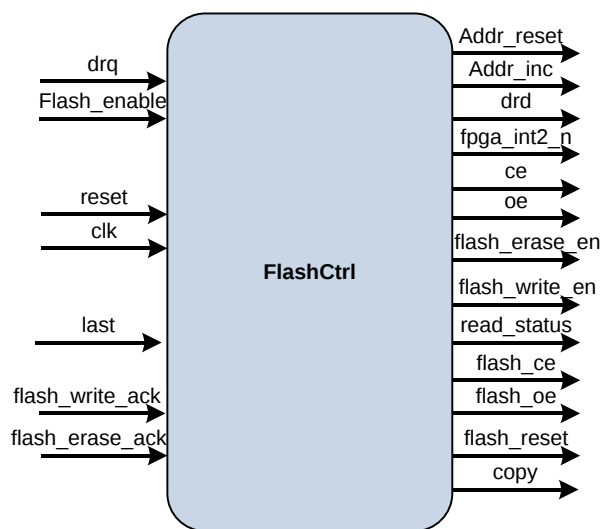
Slika 16. Funkcijska simulacija *Flash_erase* modula

Slika 16 pokazuje funkcijsku simulaciju signala koji se generiraju prilikom rada *Flash_erase* modula. Signali koji ulaze u *Flash_erase* modul su: signal za resetiranje modula *reset*, signal takta *clk* i signal koji omogućuje pokretanje komandne sekvence za brisanje *flash_erase_en*.

Signali koji izlaze iz modula su: 22-bitna adresna sabirnica *A* koja preuzima kontrolu nad adresnom sabirnicom *mem_addr* kada je aktivan signal *erase_status*, 8-bitna podatkovna sabirnica *DATA*, signali *OE_N*, *CE_N* i *WE_N* koji služi za pravilan upis

komandne sekvence, te signal `flash_erase_ack` koji se postavlja kada završi brisanje cijele memorije.

Zbog različitih propagacija signala, rezultat korištenja kombinatoričke funkcije je pojava neželjenih istitravanja (eng. *glitch*) izlaznih signala. Da bi se neželjena istitravanja izbjegla i time povećala pouzdanost sklopa, izlazi modula *Flash_erase*, *FlashCtrl* i *Flash_erase* su sinkronizirani dodavanjem izlaznog registra. Posljedica toga je kašnjenje izlaza za odgovarajućim stanjima za 1 period signala takta (`clk`).



Slika 17. Blok shema *FlashCtrl* modula

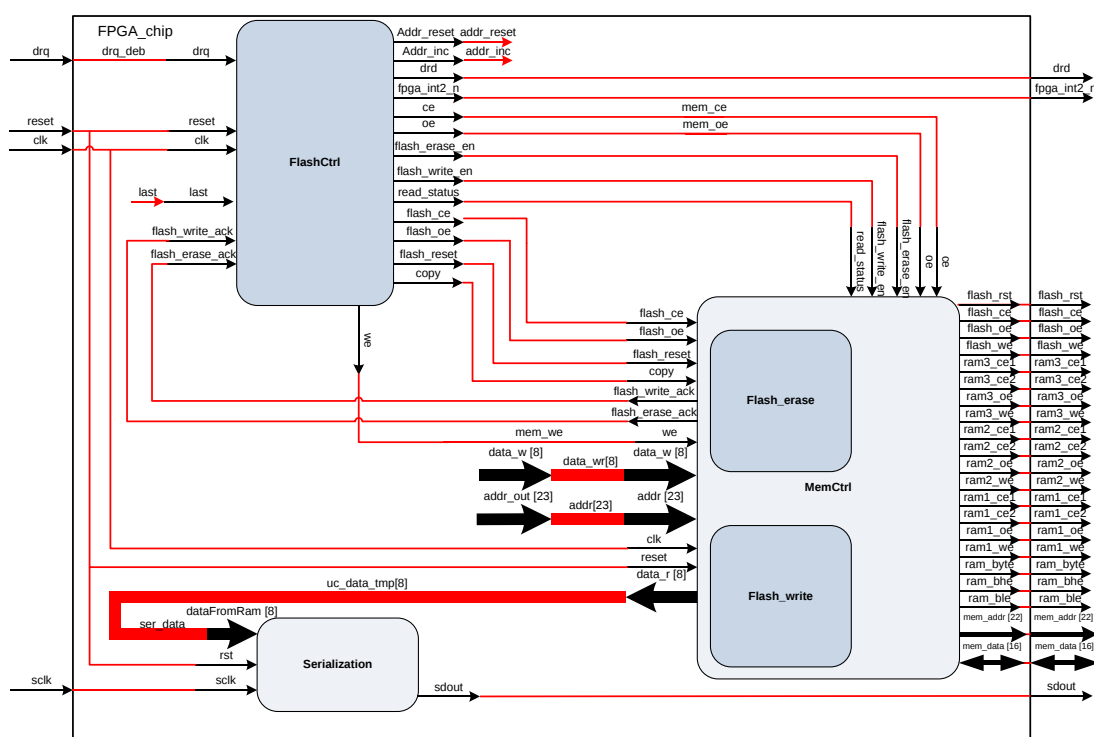
Prethodno navedeni moduli obavljaju funkciju upisa i brisanja podataka iz FLASH memorije, no, da bi se pokrenuli moduli za brisanje ili pisanje moraju se generirati upravljački signala `flash_erase_en` i `flash_write_en`. Modul *FlashCtrl* (Slika 17) je automat s konačnim brojem stanja koji služi za generiranje navedenih upravljačkih signala. Također, modul *FlashCtrl* generira signale koji služe za obavljanje funkcije resetiranja, kopiranja podataka (slike) iz SRAM memorije u FLASH memoriju te prijenos podataka (slike) iz FLASH memorije na računalo.

Signali koji ulaze u *FlashCtrl* su: signal za resetiranje modula `reset`, signal takta `clk`, signali `flash_write_ack` i `flash_erase_ack` koji signaliziraju kraj komandne sekvence za brisanje i upis, signal `last` koji se postavlja kada se pročita zadnji podatak iz FLASH memorije, signal `drq` koji služi za komunikaciju sa ZigBit-om i signal `Flash_enable` koji služi za pokretanje *FlashCtrl* modula.

Signali koji izlaze iz modula su: signali `flash_erase_en` i `flash_write_en` koji služe za pokretanje komandne sekvence za brisanje i upis u FLASH memoriju, signali `drd` i `fpga_int2_n` koje služe za komunikaciju sa ZigBit-om, signali `flash_ce` i `flash_oe` koji zajedno sa signalom `read_status` služe za čitanje iz FLASH memorije, signal `flash_reset` koji resetira FLASH memoriju i tako je pripremi za čitanje, signali `Addr_reset` i `Addr_inc` upravljaju sa generatorom adresa, signali `ce` i `oe` služe za čitanje SRAM memorije prilikom kopiranja te signal `copy` koji omogućava pravilno dodjeljivanje adresne i podatkovne sabirnice prilikom kopiranja.

6.2 ISPITIVANJE MODULA ZA UPRAVLJANJE FLASH MEMORIJOM

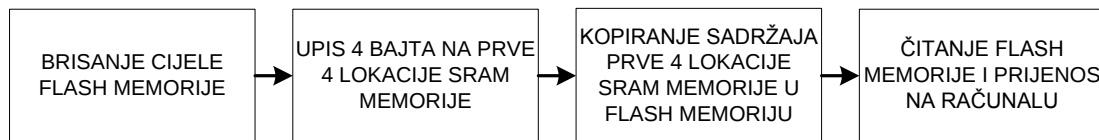
Da bi se prethodno opisani moduli mogli integrirati u već postojeći sustav koji je opisan u poglavlju 5.2, i na taj način iskoristiti resursi koje pruža FPGA pločica, potrebno ih je zasebno testirati. Za testiranje modula za upravljanje FLASH memorijom realiziran je testni sustav koji je prikazan na Slika 18. Funkcijsko ispitivanje modula za upravljanje FLASH memorijom izvedeno je na način da bude što sličnije funkciji koju ti moduli moraju obavljati nakon integracije u sustav.



Slika 18 Blokovski prikaz sistema za testiranje FLASH memorije

Funkcijsko ispitivanje modula *FlashCtrl*, *Flash erase* i *Flash_write* prikazano je na Slika 19 i sastoji se od četiri dijela. Upravljačke signali koji su potrebni da se obavi zadana funkcija generirani su od strane modula *FlashCtrl*. Prvi korak funkcijskog ispitivanja započinje brisanjem cijele FLASH memorije, nakon toga upisuju se četiri bajta, koja su ručno zadana, na prve četiri lokacije SRAM memorije. Nakon što su

podaci upisani u SRAM memoriju slijedi resetiranje generatora adresa i početak kopiranja podataka iz SRAM memorije u FLASH memoriju. Nakon što su podaci kopirani u FLASH memoriju, ponovno se resetira generator adresa i započinje prijenos podataka iz FLASH memorijom preko ZigBit-a na računalo.

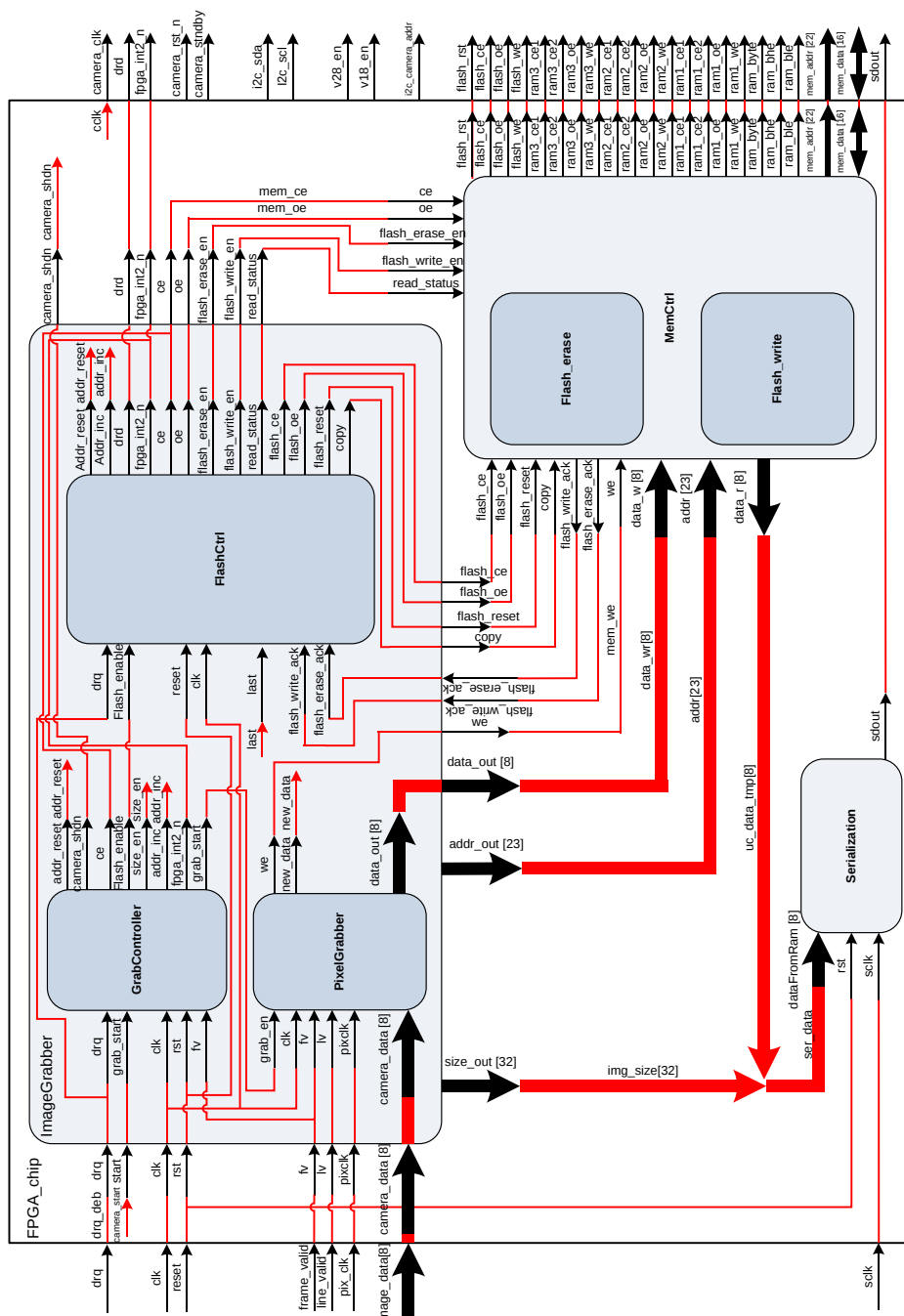


Slika 19 Funkcijsko ispitivanje modula *FlashCtrl*, *Flash erase* i *Flash_write*

Funkcijsko ispitivanje uspješno je obavljeno ako su podaci prikazani na računalo jednaki podacima koji su upisani u SRAM memoriju prije procesa kopiranja. Moduli *FlashCtrl*, *Flash_erase* i *Flash_write* zadovoljavaju prethodno navedenu činjenicu te se mogu koristiti za poboljšanje programske podrške.

6.3 INTEGRACIJA U SUSTAV I ISPITIVANJE

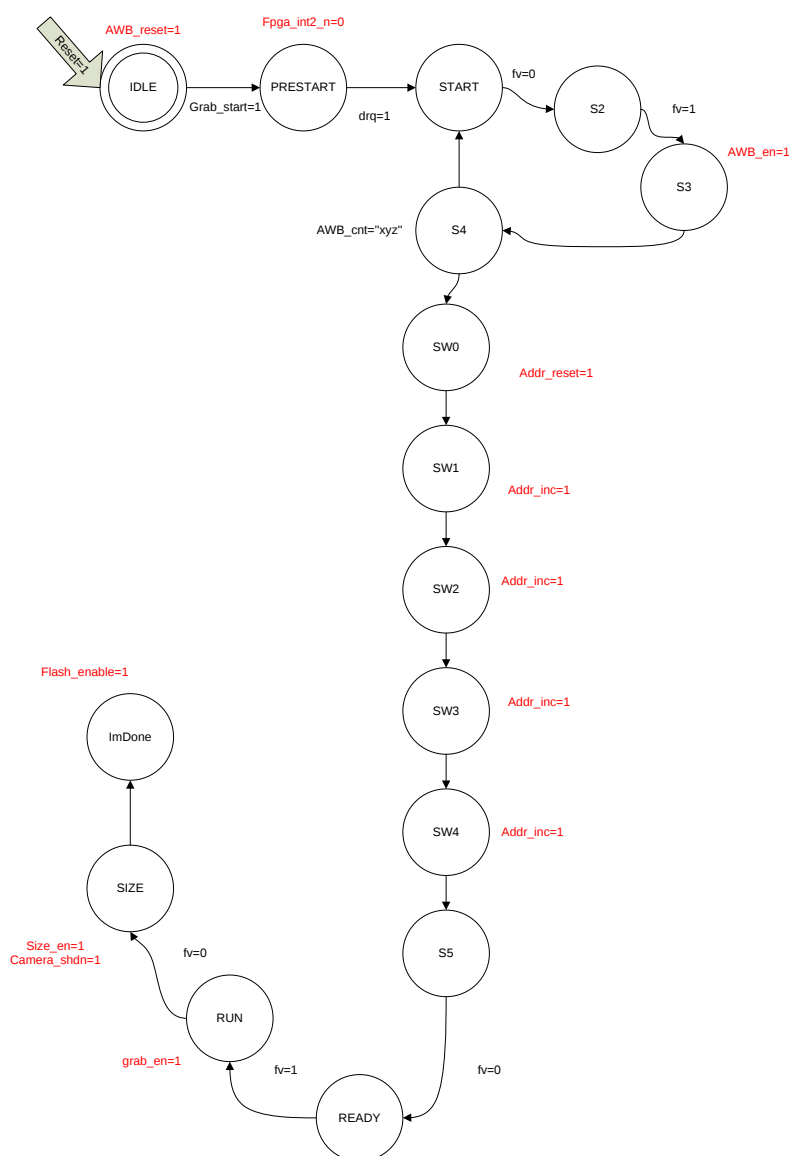
Poboljšana programska podrška razvijena kroz ovaj diplomski rad omogućuje korištenje FLASH memorije te na taj način otvara mogućnost jednostavne obradbe slike. Blokovski prikaz poboljšane programske podrške, koja sadrži dodatne module za upravljanje sa FLASH memorijom, može se vidjeti na Slika 20.



Slika 20. Blokovski prikaz poboljšanog sustava za prikupljanje slike

Blokovski prikaz poboljšanog sustava za prikupljanje slike sadrži sve module kao i sustav opisan u poglavlju 5.2 promijenjene i prilagođene za rad sa još tri nova modula *FlashCtrl*, *Flash_erase*, i *Flash_write* koja su testirana u prethodnom poglavlju. Moduli služe za čitanje, pisanje i brisanje FLASH memorije.

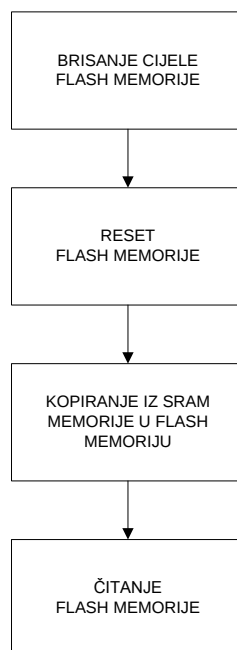
Pokretanje FLASH memorije, odnosno, *FlashCtrl* modula, započinje postavljanjem signala *Flash_enable* od strane *GrabController* modula kada je slika spremljena u SRAM memoriju. Modul *GrabController* izmijenjen je u sklopu ovog diplomskog rada i prilagođen za rad sa FLASH memorijom (Slika 21).



Slika 21. Dijagram stanja novog GrabController-a

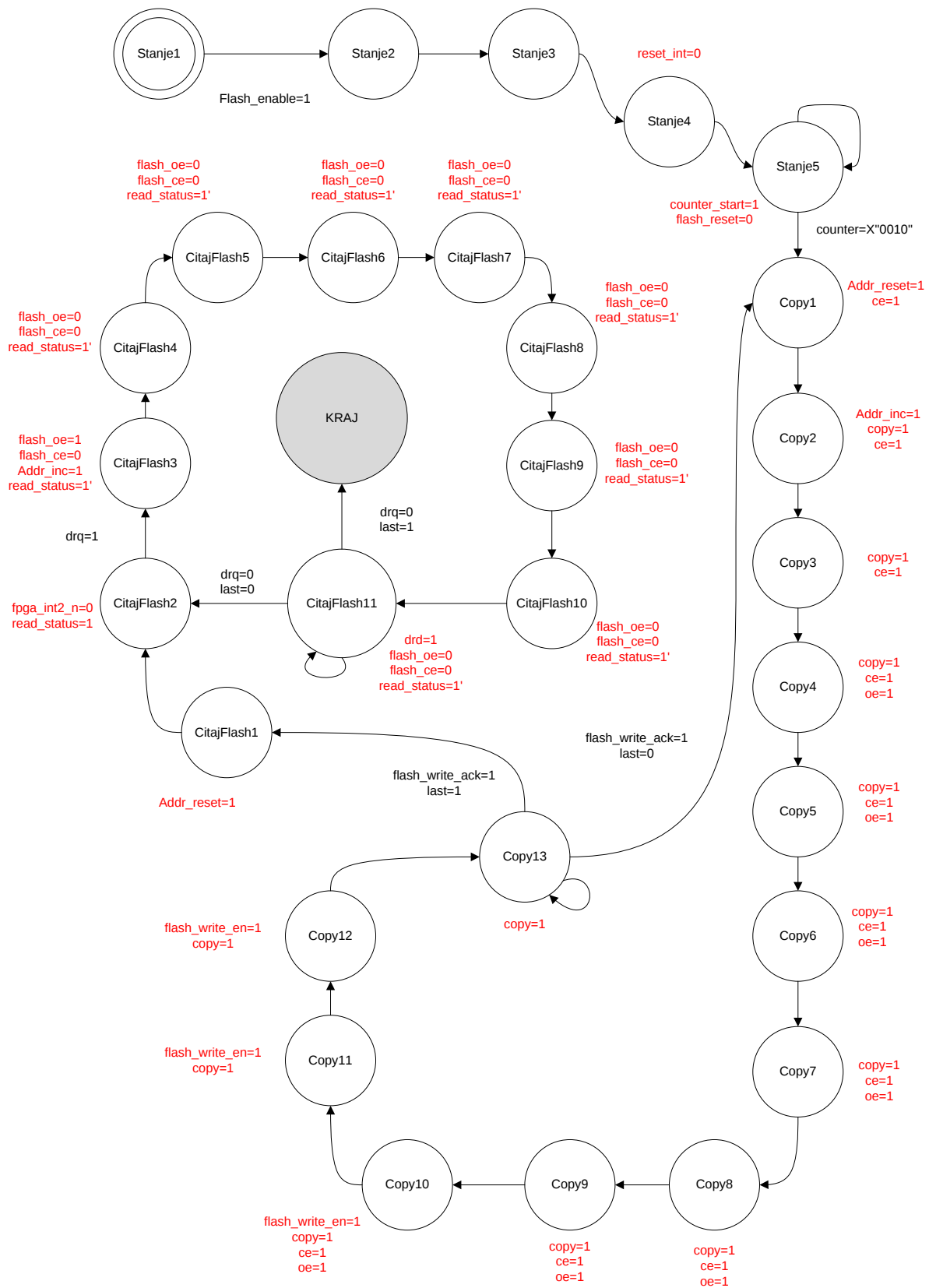
Razlika između novog GrabController modula i modula opisanog u poglavlju 5.2 je u tome što novi GrabController ne sadrži stanja u kojima se čita iz SRAM memorije. Ta stanja zamijenjena su jednim stanjem u kojem se postavlja signal sa pokretanje *FlashCtrl* modula.

Za ispitivanje funkcionalnosti nove programske podrške sustava za prikupljanje slike koja je razvijena kroz ovaj diplomski rad, modul *FlashCtrl* projektiran je tako da provjeri sve funkcijske mogućnosti FLASH memorije tijekom procesa prikupljanja slike.



Slika 22. Blokovski prikaz funkcijskog ispitivanja nove programske podrške

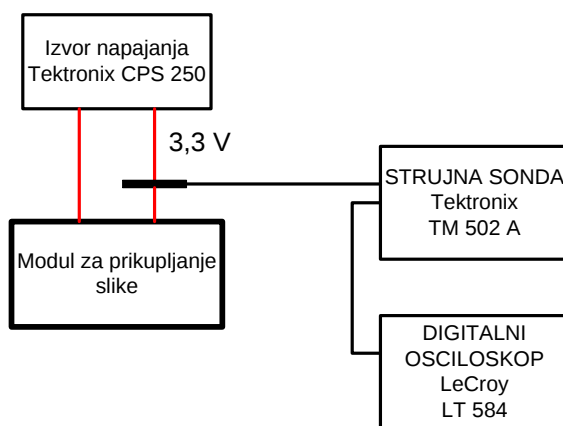
Funkcijsko ispitivanje nove programske podrške prikazano je na Slika 22 i ispituje funkcije: brisanja, resetiranja, upisa (provjerava se prilikom kopiranja) i čitanja FLASH memorije u sklopu procesa prikupljanja slike. Kao što je prethodno spomenuto modul *FlashCtrl* je automat sa konačnim brojem stanja čiji dijagram stanja je prikazan na Slika 23.



Slika 23 Dijagram stanja modula FlashCtrl

7. MJERENJE POTROŠNJE

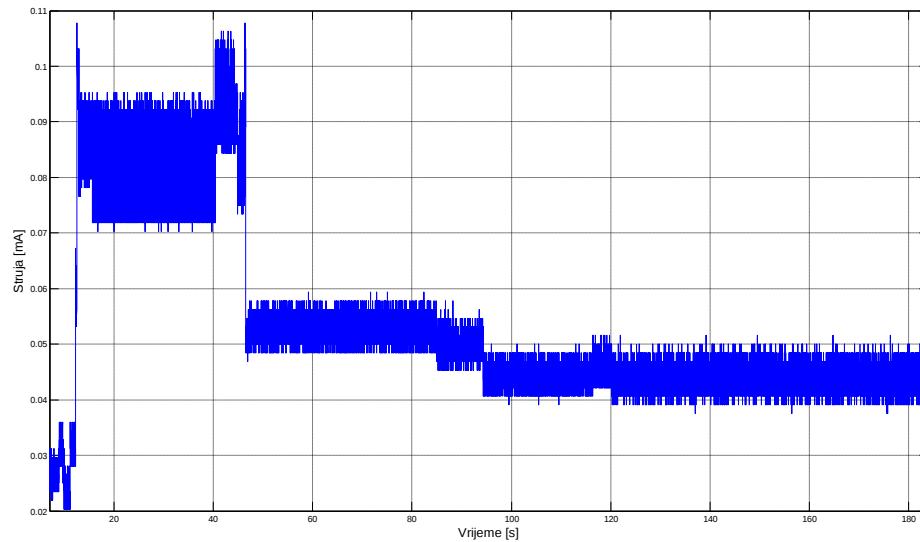
Modul za prikupljanje slike napajan je baterijski ili energijom iz ambijenta te zbog toga je potrebno osigurati manju potrošnju energije prilikom prikupljanja slike. Da bi se dobila informacija o potrošnji prilikom prikupljanja slike potrebno je napraviti odgovarajuća mjerenja. Blokovski prikaz mjerenja potrošnje modula za prikupljanje slike prikazan je na Slika 24.



Slika 24. Blokovski prikaz mjerenje potrošnje

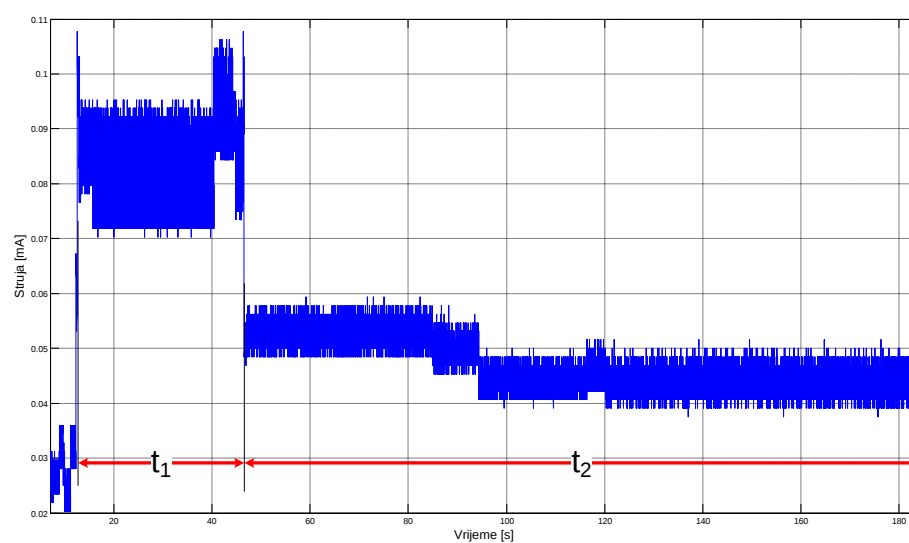
Mjerenje potrošnje obavljeno je pomoću strujne sonde (Tektronix TM 502A) i digitalnog osciloskopa (LeCroy LT 584). Mjerno područje strujne sonde u ovom mjerenju je 50 mA/DIV dok je naponska osjetljivost digitalnog osciloskopa 10 mV/DIV i vremenska baza 20 sek/DIV. Uz ovakve postavke svaka vertikalna podjela na digitalnom osciloskopu biti će ekvivalentna struji od 50 mA.

Za potrebe ovog diplomskog rada napravljeno je mjerenje potrošnje sklopovlja sa novom programskom podrškom koja je testirana u poglavlju 6.3 i implementirana u FPGA sklop. Krivulja potrošnje prikazana je na Slika 25



Slika 25 Krivulja potrošnje dobivena korištenjem programske podrške opisane u poglavlju 6.3

Ako bi se krivulju potrošnje prikazanu na Slika 25 podijelili na dva dijela, kao što je prikazano na Slika 26, onda bi se mogla napraviti detaljnija analiza potrošnje. Vremenski interval označen sa t_1 na Slika 26 odnosi se na dio vremena koji je potreban da ZigBit konfigurira CMOS osjetilo, te da se prikupi slika i pohrani u SRAM memoriju. Unutar ovog vremenskog intervala srednja vrijednost struje je 81 mA, dok je maksimalna vrijednost struje 106 mA.



Slika 26 Krivulja potrošnje podijeljena na segmente

Vremenski interval označen sa t_2 odnosi se na rad SRAM i FLASH memorijom te prijenos slike na računalo. Taj dio traje duže nego interval t_1 zbog koncepta testiranja i korištenja FLASH memorije u programskoj podršci koja je implementirana u FPGA sklop. Srednja vrijednost struje na ovom intervalu je 46,5 mA.

8. ZAKLJUČAK

U ovom radu predstavljen je modul za dobivanje slike pomoću CMOS optičkog osjetila UXGA razlučivosti. Dan je pregled i usporedba postojećih sklopovskih platformi pomoću kojih je moguće realizirati CMOS kameru visoke razlučivosti.

Za izvedbu modula za dobivanje slike koristi se 2 Mpix CMOS optičko osjetilo proizvođača Micron kojim se lako upravlja preko I²C sučelja. Upravljanje konfiguracijom optičkog osjetila i kontrola FPGA sklopa ostvarena je preko ZigBit modula, dok je prikupljanje i pohrana slike u memoriju kontrolirano od strane FPGA sklopa. Programska podrška prikazana u poglavlju 5 koristi se za realizaciju prethodno navedenih funkcija i ne iskorištava sve resurse koje FPGA pločica sadrži .

Programska podrška, prikazana u poglavlju 6, koja je izvedena i testirana u ovom radu koristi FLASH memoriju pohranu slike i na taj način iskorištava sve resurse koje FPGA pločica sadrži. Programska podrška za module koji se koriste za rad sa FLASH memorijom posebno je testirana i simulirana prije korištenja u procesu prikupljanja slike.

Potrošnja modula za prikupljanje slike vrlo je bitan parametar te ovisi o tehnologiji u kojoj je izvedeno osjetilo i načinom prikupljanja slike. Srednja struja prilikom prikupljanja i pohranu slike u SRAM memoriju iznosi 81 mA, dok srednja struja prilikom kopiranja iz SRAM memorije u FLASH memoriju i prijenos na računalo iznosi 46,5. Vremensko trajanje procesa prikupljanja i prikaza slike na računalo, korištenjem FLASH memorije, u razvijenoj programskoj podršci je dosta dugo. Veći dio tog vremena koristi se za brisanje cijele FLASH memorije. Da bi se skratilo vrijeme trajanja, a samim tim potrošnja FPGA sklopa potrebno je umjesto brisanja cijele FLASH memorije koristiti brisanje po sektorima.

Programska podrška predstavljena u ovom radu postavlja temelje za jednostavnu obradbu slike na FPGA sklopu.

Tomislav Jerković

9. LITERATURA

ACTEL Libero IDE Quick Start Guide for Software v8.4. - 2007.

Atmel AT49BV642D datasheet. - 2006.

Horak G. FER Čvorak Tehnička dokumentacija-Modul za prikupljanje i obradbu slike, interna dokumentacija. - 2008.

Li Chao, Zhang Yu-lin, Zheng, Zhao-na FPGA - Based CMOS Image Acquisition System. - Jinan , 2009.

Micron MT9D131 datasheet. - 2006.

Vučić Mladen ALATI ZA RAZVOJ DIGITALNIH SUSTAVA-Materijali za predavanja. - 2009.

Wark Tim, Corke, Peter, Liu, Jim, Moore, Darren Design and Evaluation of an Image Analysis Platform for Low_Power, Low-Bandwidth Camera Networks . Brisbane , 2008.

Wilson Petar Newnes design recipes for FPGAs [WILEY]. - 2007.

Woods Rooger, McAllister, John, Lightbody, Gaye, Yi, Ying FPGA-based Implementation of Signal Processing System [WILEY].- 2008.

10. SAŽETAK

U ovom radu predstavljen je modul za dobivanje slike pomoću CMOS optičkog osjetila UXGA razlučivosti. Dan je pregled i usporedba postojećih sklopovskih platformi pomoću kojih je moguće realizirati CMOS kameru visoke razlučivosti. Za izvedbu modula za dobivanje slike koristi se 2 Mpix CMOS optičko osjetilo proizvođača Micron kojim se lako upravlja preko I²C sučelja. Upravljanje konfiguracijom optičkog osjetila i kontrola FPGA sklopa ostvarena je preko ZigBit modula, dok je prikupljanje i pohrana slike u memoriju kontrolirano od strane FPGA sklopa. Razvijena je programska podrška za FPGA sklop koja omogućuje korištenje FLASH memorije prilikom prikupljanja slike te na taj način iskorištava sve resurse FPGA pločice i postavlja temelje za jednostavnu obradbu slike na FPGA sklopu.

SUMMARY

In this work, an image acquisition module with CMOS image sensor of UXGA resolution is presented. It's described and compared different hardware platforms for realisation of CMOS camera in high resolution. For development of CMOS camera is used 2 mega-pixel CMOS image sensor made by Micron company which can be easily controled via I²C bus. ZigBit module is used for setting parameters of image sensor and controls FPGA. FPGA is used to store image data in memory. Also, in this work is developed software for FPGA which provides image data store in FLASH memory after acquisition. Developed software also provides a basic conditions for simple image processing on FPGA.

11. PRILOG A: Upute za prikupljanje slike komprimirane slike

Za prikupljanje slike koriste se dvije aplikacije. Prva aplikacije je *Imread.exe* koja služi za prijenos slike sa modula za prikupljanje slike preko RS-232 sučelja na računalo i pohranu u tekstualnu datoteku. Druga aplikacija *Imager.exe* služi za generiranje JPEG slike iz tekstualne datoteke u kojoj je slika pohranjena.